

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-173055

(43) 公開日 平成10年(1998) 6月26日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/82

H 0 1 L 21/82

B

G 0 6 F 17/50

G 0 6 F 15/60

6 5 6 A

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願平8-328371

(22) 出願日 平成 8 年(1996)12月 9 日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 田中 修治

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

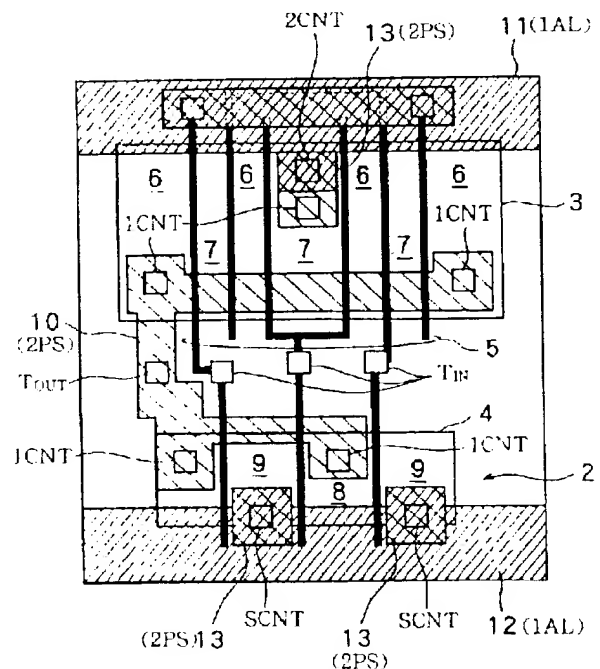
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 セルベース半導体装置及びスタンダードセル

(57) 【要約】

【課題】セル同士の信号線結線の自由度をある程度確保しながら、セル面を積縮小化する。

【解決手段】 任意に組み合わせることによって所望の回路機能ブロックが構成するセルは、複数の基本素子 1、2 と、複数の基本素子 1、2 を内部結線させる内部信号線 10 と、一方の両側に隣接するセル間で相互に接続され、基本素子 1、2 に電源電圧を供給する電源線 11、12 とを有する。内部信号線 10 は、電源線 11、12 より下層側の配線層で構成されている。また、電源線 11、12 より上層側に積層されている信号線用配線層（不図示）は、異なるセルの入出力端子間を結線させる外部信号線を構成している。これにより、第2層目以降の配線層を電源線として利用でき、その線幅を従来よりも狭くでき、また電源線の下層側を有効利用できることから、セル面積を縮小化できる。



【特許請求の範囲】

【請求項1】 少なくとも所定の基本素子が予め形成されている複数種類のセルを、任意に組み合わせることによって所望の回路機能ブロックが構成されているセルベース半導体装置であって、

前記セルは、複数の基本素子と、前記複数の基本素子をセル内部で接続させる内部信号線と、一方方向の両側に隣接するセル間で相互に接続され、前記基本素子に電源電圧を供給する電源線とを有し、

前記内部信号線が、前記電源線より下層側の配線層で構成され、

前記電源線より上層側に積層されている信号用配線層は、異なるセルの入出力端子間を結線させる外部信号線を構成しているセルベース半導体装置、

【請求項2】 前記電源線と同じ階層の配線層によって構成されている前記外部信号線を更に有し、当該外部信号線が、前記電源線と略平行に配線されている請求項1に記載のセルベース半導体装置、

【請求項3】 前記電源線より下層側の配線層によって構成されている前記外部信号線を更に有し、当該外部信号線が、前記電源線と略平行に配線されている請求項1に記載のセルベース半導体装置、

【請求項4】 前記電源線は、前記内部信号線よりも低抵抗の膜から構成されている請求項1に記載のセルベース半導体装置、

【請求項5】 少なくとも複数の基本素子と、前記複数の基本素子をセル内で接続する内部信号線と、一方方向の両側に隣接するセル間で相互に接続され、

前記基本素子に電源電圧を供給する電源線とを有するスタンダードセルであって、

前記内部信号線が、前記電源線より下層側の配線層で構成されているスタンダードセル、

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、セル同士の信号線結線の自由度をある程度確保しながら、セル面積を縮小化することのできるセルベース半導体装置、及びスタンダードセルに関する。

【0002】

【従来の技術】従来、いわゆるセルベース（または、ビルディングブロック方式ともいう）のセミカスタム設計手法は、ASIC(Application Specific Integrated Circuit)設計に広く採用されている。この設計手法では、ライブラリに登録されている共通設計資産を組み合わせ、また自動配置配線ツールを用いることによってIC設計の効率向上が図られる。セルベースASICは、セル登録した単位論理回路（または、素子単体でも可）を組み合わせて回路機能ブロックを構成させるスタンダードセル方式、既に設計された回路機能ブロックを階層構造にして配置配線する一般セル方式に大別される。

【0003】図3および図4は、セルベースASICの設計に用いられ、予めライブラリに登録されている従来の単位セルを例示するパターン図である。図3は、2入力のNANDセル、図4は、3入力のNORセルを示す。図3および図4中、符号1はPチャネルMOSトランジスタ（以下、PMOSという）、2はNチャネルMOSトランジスタ（以下、NMOSという）、3はp型能動領域、4はn型能動領域、5はゲート電極、6はPMOS1のドレイン領域（p+不純物拡散領域）、7はPMOS1のソース領域（p+不純物拡散領域）、8はNMOS2のドレイン領域（n+不純物拡散領域）、9はNMOS2のソース領域（n+不純物拡散領域）、10は内部信号線、11は電源電圧供給線、12はGND線（本発明では、11と12を電源線と総称する）の各パターンである。

【0004】ゲート電極5は、例えば第1層目のポリシリコン（1stPS）、ポリサイド等から構成される。各ゲート電極5の途中には、入力端子TINが設けられている。

【0005】内部信号線10は、ゲート電極5上に層間絶縁層を介して積層される。例えば第2層目のポリシリコン（2ndPS）、ポリサイド、タングステン等の膜から構成される。内部信号線10下地の層間絶縁層に第1のコンタクト（1CNT）が設けられている。この1CNTを介して、内部信号線10が、PMOS1のドレイン領域6とNMOS2の一方のドレイン領域8とに接続されている。内部信号線10の途中には、出力端子TOUTが設けられている。

【0006】一方、電源線11および12は、セルの上下部分で一方方向に平行に配線され、この配線幅が、種類の異なるセル間（この例では、図3のNANDセルと図4のNORセル間）で統一されている。これは、種類の異なるセルを一方方向に並べるために内部の電源電圧供給線11同士、GND線12同士が直列接続させるためである。電源電圧供給線11は、PMOS1のソース領域に1CNTを介して接続されている。また、GND線12は、NMOS2の他方のソース領域9に1CNTを介して接続されている。

【0007】このように構成されている単位セルを用いた従来のセルベースASICの設計では、自動配置配線ツールに顧客仕様にもとづいて必要な機能、性能および制約条件等を与えると、この自動配置配線ツールによって、適切な論理回路セル（単位セル）がライブラリから呼び出され、最適なパターン設計が行われる。すなわち、顧客仕様（機能、性能）を満たすように、種類の異なる単位セルを組み合わせることで自動配置した後、配置された各セル間が多層配線によって自動接続される。

【0008】たとえば、図3および図4の例では、自動配置しただけでセル列内部の電源電圧供給線11同士、GND線12同士がそれぞれ相互接続され、上記自動配

線では、セル間で入出力端子TIN、TOUTを相互接続させ、外部信号線の配線と、各セル列の電源電圧供給線11と各セル列のIN線12を、それぞれ共通化する外部電源線の配線とが行なわれる。

【0009】

【発明が解決しようとする課題】所定機能の回路又は素子が予め、マスクされた単位セルは、上述したように顧客の要求に応じて種々の回路機能ブロックを構成するために供せられることから、その設計段階においては、どのような回路にも対応できるように、そのセル間接続の配線の自由度が大きいことが要求される。具体的には、セル間接続の配線の自由度が大きいとは、単位セル自身のパターンや接続点が後の外部信号線の結線に邪魔にならないことを意味する。このため、例えば図3および図4では、内部信号線10、電源電圧供給線11およびIN線12は、ともに第1層目の配線層（例えば、タングステン層）を用いられる。また、この配線の際には、信号遅延の問題も考慮しなければならない。すなわち、近接を結ぶ信号線は下層側の配線を利用し、例えばクロックラインやバスラインといった遠くまで信号を運ぶ配線は、邪魔なものかすくなく配線の自由度が高く、また抵抗の低い上層側の配線を利用するといった、信号の種類に応じた配線層の使い分けがなされる。

【0010】一方、半導体プロセスの立場では、配線構造が多層になればなるほど、後のプロセスの容易性を考慮すると平坦化が重要になり、下層側ほど膜厚を薄くし上層側ほど厚くするほうが好ましい。加えて、加工性の面では、より上層側にいくほどL&S(line and space)間隔を広げたほうが好ましく、また最下層はタンクステン、膜などの比較的到高抵抗な材料の使用を余儀なくされる場合も多い。以上の観点により、この第1層目の配線層は、例えば、1P1、タングステン膜といった比較的抵抗率が高い材料で構成され、しかも比較的薄いので、隣接する素子間を接続する内部配線層としては適している。

【0011】しかし、大規模な回路構成をとることがある近年のセル・ベースASICでは、第1層目の配線層をセル内部の電源線に用いることによる不利益が、セル間配線の自由度確保との関係で相対的に大きくなってきている。すなわち、近年の1 μ mの製造プロセスでは、4層、5層といった配線構造を多層化することによって配線のレイアウトが増え、これとともに配線の自由度が増大している。また、論理回路の大規模化および高速化に伴って、面積縮小化や配線長の短縮化の要求が次第に高まり、以前のようなセル間に配線領域を設けずにセル配置領域上で殆ど配線を行なうこととなっている。ところが、従来のセル構造では、シート抵抗の高い第1層目の配線層によってセル内部の電源線が構成されていることから、必然的に内部の電源線幅を広くとらざるを得ず、セル面積の縮小化が難しいのが実情であった。

【0012】本発明は、このような実情に鑑みてなされ、セル同士の情報線結線の自由度をある程度確保しながら、セル面積を縮小化することのできるセル・ベース半導体装置、及びマスク・タートセルを提供することを目的とする。

【0013】

【課題を解決するための手段】上述した従来技術の問題点を解決し、上記目的を達成するために、本発明のセル・ベース半導体装置では、少なくとも基本素子が予め形成されている複数種類のセルを、任意に組み合わせることによって所望の回路機能ブロックが構成されているセル・ベース半導体装置であって、前記セルは、複数の基本素子と、前記複数の基本素子をセル内部で接続させる内部信号線と、一方方向の両側に隣接するセル間で相互に接続され、前記基本素子に電源電圧を供給する電源線とを有し、前記内部信号線が、前記電源線より下層側の配線層で構成され、前記電源線より上層側に積層されている信号線用配線層は、異なるセルの入出力端子間を結線させる外部信号線を構成していることを特徴とする。

【0014】このように、本セル・ベース半導体装置では、セル内の電源線を内部信号線より上層側の配線層で構成させることによって、一般にアルミニウム等から構成される第2層目以降の配線層を電源線として利用でき、電源線の線幅を従来よりも狭くすることができる。また、電源線の下層側に第1層目の配線層パターンやコンタクトを形成できることから、セル面積の縮小化が容易となる。この結果、電源線を従来よりも上層化することとなり、この意味ではセル間配線の自由度は若干低下する。しかし、先に記述したように近年の配線構造の多層化に伴ってセル間接続の自由度が大幅に増大していることを考慮し、また電源線より外側には内部信号線を引き出さないようにすることによって、セル間接続の自由度低下は全く問題とならず、本発明によって、電源線の上層化によるセル面積が縮小化されるといった大きな効果を得ることができる。

【0015】このセル間接続の自由度確保の観点からは、電源線は出来るだけ下層側の配線層を利用することが望ましいが、例えば同じ機能のセルが連続的に接続されるような場合においては、電源線と同じ階層、或いは下層側で外部信号線を配線させることができる。この場合の外部信号線は、電源線と略平行に配線させるように、例えば入出力端子の位置を決めおくと、自由度には何ら問題なく配線を行なうことができる。

【0016】本発明のマスク・タートセルでは、複数の基本素子と、前記複数の基本素子をセル内部で接続させる内部信号線と、一方方向の両側に隣接するセル間で相互に接続され、前記基本素子に電源電圧を供給する電源線とを有するマスク・タートセルであって、前記内部信号線が、前記電源線より下層側の配線層で構成されていることを特徴とする。

【0017】

【発明の実施の形態】以下、本発明に係るセルベース半導体装置およびスタガードセルを、図面を参照しながら詳細に説明する。図1および図2は、セルベースASSICの設計に用いられ、予めライブラリに登録されている本実施形態に係る単位セル（スタガードセル）を例示するパターン図である。本発明のスタガードセルは、このパターン図に特徴があり、本発明のセルベース半導体装置は、このパターン図に例示されるような種類が異なるセルを、任意に組み合わせることによって所望の回路機能ブロックが構成されている。したがって、以下の説明では、本発明の要部が示されている図1および図2のセルパターンを説明することによって本発明の実施形態を説明する。

【0018】図1は、本発明のセルベースASSICにおける入力NANDセルを示し、従来例を示す図3と対応する。また、図2は、本発明のセルベースASSICにおける3入力のNORセルを示し、従来例を示す図4と対応する。なお、ここで図3および図4に示す従来のセルと重複する構成は、同一符号を付し、その詳細な説明は省略する。図1および図2中、符号1はPMOS、2はNMOS、3はP型能動領域、4はN型能動領域、5はゲート電極、6はPMOS1のドレイ領域（p+不純物拡散領域）、7はPMOS2のソース領域（p+不純物拡散領域）、8はNMOS2のドレイ領域（n+不純物拡散領域）、9はNMOS2のソース領域（n+不純物拡散領域）、10は内部信号線、11は電源電圧供給線、12はGND線（本発明では、11と12を電源線と総称する）の各パターンを示す。また、符号Tinは入力端子、Toutは出力端子、1CNTは第1のコンタクト（第1配線層と、ソース領域7又はドレイ領域8とに接続孔）を示す。

【0019】本実施形態のセルが、図3および図4の従来例の場合と異なるのは、第1に、電源電圧供給線11およびGND線12が第2層目の配線層（以下、第2配線層という）から構成されていることである。具体例には、この第2配線層として、例えば第1層目のA1配線層（1AL）が選択される。この電源線11、12を第2配線層から構成させることによって、電源線11、12の幅それぞれが、この図の場合は従来の40%と細くなっている。なお、この電源線11、12の配線幅は、従来と同様、種類の異なるセル間（この例では、図1のNANDセルと図2のNORセル間）で統一されている。

【0020】第2に、この電源線11、12を従来より上層側の配線層を用いることによって、トランジスタまたは他の電源電圧を供給するコンタクト構造が従来と異なっている。すなわち、PMOS1のソース領域7上の図示せぬ絶縁層上に、例えば第2層目のシリコン膜で構成されるコンタクトバッド層13が配置され、これが1

CNTを介してソース領域7接続されている。このコンタクトバッド層13は、その上に成膜される図示せぬ絶縁層に形成される第2のコンタクト（2CNT）を介して上層側の前記電源供給線11に接続されている。同様に、NMOS2側では、そのソース領域9とのGND線12との間には、それぞれ絶縁層を介してコンタクトバッド層13が介在され、このコンタクトバッド層13は、1CNTを介して下層側のソース領域9に接続され、2CNTを介して上層側のGND線12に接続されている。なお、図2中、符号SCNTは、1CNTと2CNTがコンタクトバッド層13を介在させて重なられたスタックコンタクトの例を示している。

【0021】第3に、従来は電源線が最下層の配線層で構成されていたために、この電源線の下層側の領域が有効に利用できなかったが、本発明では、電源線を2層目以降の配線層で構成させることによって、この下層側領域の有効利用を図ることが可能となったことである。すなわち、従来の図3および図4では、同じ層層の内部信号線10との距離を確保するために、電源線11、12の内側にしか配置できなかったコンタクト部（2CNT、SCNT）を、本実施形態では電源線11、12直下に位置させている。また、内部信号線10は電源線11、12の直下で配線することも可能となる。

【0022】さらに図示しないが、このように構成されているスタガードセルは、従来と同様に、その配置配線時に、顧客仕様にもとづいて多数、種類を組み合わせる回路機能ブロックを形成し、このセル間の入力端子Tin、出力端子Toutが、更に上層側の第2層目のA1配線（2AL）、第3層目のA1配線（3AL）、...を用いて最適に結線されている。また、セル配置時にセル列内で直列接続される電源線11、12は、それぞれ上層側までコンタクトブラクやコンタクトバッド層で持ち上げられ、上層側の配線層によって共通化され、外部に引き出されている。

【0023】本実施形態のセルベースASSICおよびスタガードセルは、電源線11、12が、内部信号線10より上層側の配線層で構成されていることから、電源線11、12の体積抵抗率を減らすことなく（又は、体積抵抗率を下げながら）線幅を細くでき、また電源線11、12の下に内部信号線10を配線することができ、この結果、全体のセル面積を従来より縮小化できる。たとえば、図1および図2の例では、電源線11、12の線幅が従来の60%、その内部信号線10との距離が従来の40～50%とそれぞれ小さくなっており、この結果、2割ほどセル面積が縮小化されている。このセル構造では、電源線11、12と内部信号線10とを重ねることも可能であり、また1ALの厚さによっては更に電源線11、12の幅を短縮でき、その場合は3～5割といった更なる面積縮小化も可能である。

【0024】なお、上記説明は、電源線11、12は2

層目の配線層を用いた場合について行なったが、本発明は、これに限定されず、電源線は内部信号線より上層側の配線層を用い、かつ電源線より上層側の信号線用配線層は、外部信号線、即ち自動配線できる信号線であることが要件であり、したがって、電源線と同じ階層、又は下層側において、外部信号線を存在させてもよい。この場合、配線の自由度確保の観点からは、当該外部信号線は、電源線と略平行に配線されていることが好ましい。また、この外部信号線は、例えば同じ機能のセルを連続的に接続されるような場合にあつては、前記電源線11、12と同様に、信号線引出し位置と線幅が予め決められ、セルを配置させるだけで入力端子T_{IN}が隣接セルの出力端子T_{OUT}に自動接続されるような構成であつてもよい。もちろん、この電源線と同じ階層又は下層側の外部信号線は、セルに予め形成されたものでなく、自動配線時に配線させるものであってもよい。

【0025】

【発明の効果】以上説明してきたように、本発明に係わるセルベース半導体装置およびスタクタードセルによれば、セル同士の信号線結線の自由度をある程度確保しながら、セル面積を縮小化することとなる。また、電源

線の低抵抗化が可能であり、電圧降下を小さくできる。さらに、配線層の下層側の領域を有効に利用できる。すなわち、面積縮小化のために利用するほか、例えば本実施形態に示すようにゲート電極の引回し配線の抵抗を低減したり、電源線の直下にコンタクトを設けることも可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態に係わるNANDセルを示すパターン図である。

【図2】本発明の実施形態に係わるNORセルを示すパターン図である。

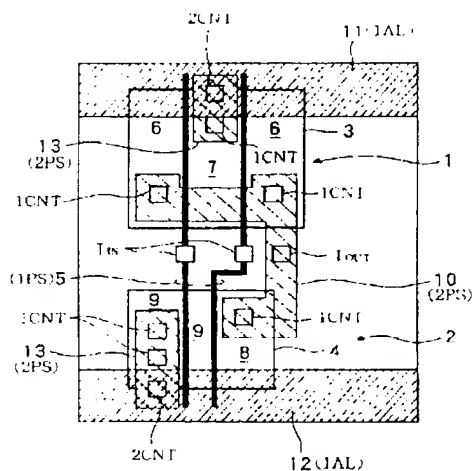
【図3】従来のNANDセルを示すパターン図である。

【図4】従来のNORセルを示すパターン図である。

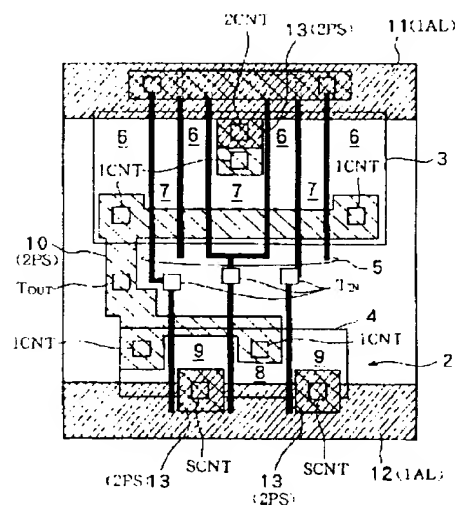
【符号の説明】

1…PMOS、2…NMOS、3…p型不純物領域、4…n型不純物領域、5…ゲート電極、6、8…ドレイン領域、7、9…ソース領域、10…内部信号線、11…電源電圧供給線（電源線）、12…GND線（電源線）、13…コンタクトパッド層、T_{IN}…入力端子、T_{OUT}…出力端子、1CNT、2CNT、SCNT…コンタクト。

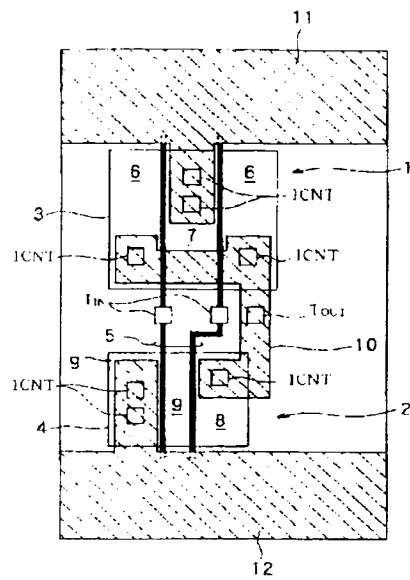
【図1】



【図2】



【図3】



【図4】

